

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>

H01L 21/28

(11) 공개번호 특2000-0015326

(43) 공개일자 2000년 03월 15일

(21) 출원번호	10-1998-0035175
(22) 출원일자	1998년 08월 28일
(71) 출원인	삼성전자 주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416
(72) 발명자	장동현 서울특별시 종로구 명륜동 1-114 김남석 경기도 군포시 금정동 무궁화아파트 124동 1404호 강사운 서울특별시 서초구 잠원동 한신2차아파트 105동 804호 권종규 경기도 성남시 분당구 구미동 무지개마을엘지아파트 208동 206호
(74) 대리인	윤종용, 이선희

심사청구 : 없음

## (54) 웨이퍼 상면에서의 침 스케일 패키지 제조 방법

## 요약

본 발명은 웨이퍼 상면에서의 침 스케일 패키지 제조 방법에 관한 것으로서, 종래의 침 스케일 패키지들이 안고 있는 신뢰성 문제와 높은 제조 단가의 문제를 해결하기 위한 것이다. 본 발명의 제조 방법에 의하면, 패드 재배열을 위한 금속 배선층이 웨이퍼의 침 패드와 불광층을 위에 형성되며, 금속 배선층 위에 절연층이 형성된다. 절연층은 금속 배선층 밑에도 형성될 수 있으며, 밴드 사이클로 부턴, 폴리이미드, 에폭시, 산화막, 질화막 등이 금속 배선층 상하부의 절연층으로 사용될 수 있다. 절연층은 침에 가해지는 충격을 완화시켜 침을 보호하고, 배선기판의 역할을 대신하기 위한 것이다. 상부 절연층에는 볼 패드가 형성되며, 이 볼 패드는 금속 배선층의 패턴을 통하여 침 패드의 위치와 다르게 재배열된다. 볼 패드에는 슬더 볼이 형성되며 슬더 볼은 열개층에 의하여 지지된다. 폴리머가 포팅된 열개층은 절연층과 더불어 슬더 접합의 내구성을 향상시킨다. 금속 배선층과 슬더 볼 하부에는 금속 기저층이 형성될 수 있으며, 패키지 취급 과정에서의 손상을 방지하기 위한 접수상 방지턱이나 침수상 방지층이 더 형성되기도 한다. 본 발명의 제조 방법은 기존의 웨이퍼 제조 설비와 공정들을 이용하기 때문에 패키지 제조에 추가로 소요되는 일부자재를 최소화할 수 있고 제조 단가를 절감할 수 있다.

## 도면

## 도 1

## 도 2

## 도 3

도 1 내지 도 13은 본 발명에 따른 침 스케일 패키지 제조 방법의 실시예에 대한 각 공정들을 나타내는 단면도들로서,

도 1은 웨이퍼 제조가 완료된 상태를 나타내는 도;

도 2는 금속층의 증착 단계를 나타내는 도;

도 3은 감광막의 형성 단계를 나타내는 도;

도 4는 금속 배선층의 식각 단계를 나타내는 도;

도 5는 감광막의 제거 단계를 나타내는 도;

도 6은 절연층의 형성 단계를 나타내는 도;

도 7은 볼 패드의 형성 단계를 나타내는 도;

도 8은 금속 기저층의 증착 단계를 나타내는 도;

도 9는 감광막의 형성 단계를 나타내는 도;

- 도 10은 솔더 범프의 형성 단계를 나타내는 도;  
 도 11은 감광막의 제거 및 금속 기저층의 식각 단계를 나타내는 도;  
 도 12는 솔더 볼의 형성 단계를 나타내는 도;  
 도 13은 덮개층의 형성 단계를 나타내는 도이다.  
 도 14는 본 발명에 따른 칩 스케일 패키지 제조에 사용되는 반도체 웨이퍼의 개략적인 평면도이다.  
 도 15는 제조 완료 후 웨이퍼로부터 분리된 개별 패키지를 개략적으로 도시한 평면도이다.  
 도 16 내지 도 24는 본 발명에 따른 칩 스케일 패키지 제조 방법의 다른 실시예에 대한 각 공정들을 나타내는 단면도들로서,  
 도 16은 하부 절연층의 형성 단계를 나타내는 도;  
 도 17은 금속 기저층의 증착 단계를 나타내는 도;  
 도 18은 감광막의 형성 단계를 나타내는 도;  
 도 19는 금속 배선층의 형성 단계를 나타내는 도;  
 도 20은 감광막의 제거 및 금속 기저층의 식각 단계를 나타내는 도;  
 도 21은 상부 절연층의 형성 단계를 나타내는 도;  
 도 22는 솔더 볼 및 덮개층 형성이 완료된 단계를 나타내는 도;  
 도 23은 청소상 방지턱과 청소상 방지층의 형성 단계를 나타내는 도;  
 도 24는 개별 패키지로 분리된 칩 스케일 패키지를 개략적으로 나타내는 도이다.  
 도 25는 칩 스케일 패키지의 모서리가 손상되는 예를 보여주는 예시도이다.

#### < 도면의 주요 부분에 대한 부호의 설명 >

- 10 : 웨이퍼 기판 (wafer substrate)  
 12 : 칩 패드 (chip pad)  
 14 : 불활성층 (passivation layer)  
 16, 17, 66 : 금속 배선층 (metal layer)  
 18, 28, 64 : 감광막 (photoresist)  
 22, 70 : 볼 패드 (ball pad)  
 24, 60, 68 : 절연층 (dielectric layer)  
 26, 27, 62, 63, 72 : 금속 기저층 (UBM; under bump metal)  
 30 : 솔더 범프 (solder bump)  
 32, 74 : 솔더 볼 (solder ball)  
 34, 76 : 덮개층 (cover layer)  
 40 : 반도체 웨이퍼 (semiconductor wafer)  
 50 : 집적회로 칩 (IC chip)  
 52 : 칩 절단영역 (scribe line)  
 80 : 청소상 방지턱 (buffer border)  
 82 : 청소상 방지층 (buffer layer)  
 90, 100 : 칩 스케일 패키지 (chip scale package)

#### 본 발명의 상세한 설명

##### 본 발명의 목적

##### 본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 보다 구체적으로는 반도체 웨이퍼 위에 패드 재배열을 위한 금속 배선층과 신뢰성 제고를 위한 절연층을 형성하여 웨이퍼 상태에서 칩 스케일 패키지(chip scale package)를 제조하는 방법에 관한 것이다.

오늘날 전자산업의 추세는 경량화, 소형화, 고속화, 다기능화, 고성능화되고 높은 신뢰성을 갖는 제품을 저렴하게 제조하는 것이다. 이와 같은 제품 설계의 목표 달성을 가능하게 하는 중요한 기술 중의 하나가 바로 패키지 조립 기술이다. 칩 스케일 패키지(또는 칩 사이즈 패키지)는 근간에 개발되어 제안되고 있는 새로운 패키지 유형으로서, 전형적인 글라스락 패키지에 비하여 많은 장점을 가지고 있다. 칩

스케일 패키지의 가장 큰 장점은 바로 패키지의 크기이다. JEDEC (Joint Electron Device Engineering Council), EIAJ(Electronic Industry Association of Japan)와 같은 국제 반도체 협회의 정의에 따르면, 칩 스케일 패키지는 칩 크기의 1.2배 이내의 패키지 크기를 가진다.

칩 스케일 패키지는 디지털 펌코더, 휴대 전화기, 노트북 컴퓨터, 메모리 카드 등과 같이 소형화, 이동성이 요구되는 제품들에 주로 사용되며, DSP(digital signal processor), ASIC(application specific integrated circuit), 마이크로 컨트롤러(micro controller) 등과 같은 반도체 소자들이 칩 스케일 패키지 안에 실장된다. 또한, DRAM(dynamic random access memory), 플래시 메모리(flash memory) 등과 같은 메모리 소자를 실장한 칩 스케일 패키지의 사용도 점점 확산 일로에 있다. 현재는 전 세계적으로 약 50개 이상의 각종 칩 스케일 패키지들이 개발되거나 생산되고 있는 실정이다.

그러나, 칩 스케일 패키지가 크기 면에서 절대적인 이점을 가지고 있는 반면, 아직까지는 기존의 플라스틱 패키지에 비하여 여러모로 단점들을 안고 있는 것도 사실이다. 그 중의 하나는 신뢰성의 확보가 어렵다는 점이며, 다른 하나는 칩 스케일 패키지의 제조에 추가로 투입되는 제조 설비나 소요되는 원부자재가 많고 제조 단가가 높아 가격 경쟁력이 떨어진다는 점이다.

#### 본 발명에 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 높은 신뢰성을 보장할 수 있는 칩 스케일 패키지의 제조 방법과 그 칩 스케일 패키지 소자를 제공하는 것이다.

본 발명의 다른 목적은 웨이퍼 상태에서 기존의 웨이퍼 제조 설비 및 공정들을 활용하고 원부자재의 추가 부담을 최소화하여 패키지의 제조 단가를 낮추기 위한 것이다.

#### 본 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 반도체 웨이퍼 위에 패드 재배열을 위한 금속 배선층과 신뢰성 제고를 위한 절연층을 형성하여 웨이퍼 상태에서 구현되는 칩 스케일 패키지를 제공한다.

본 발명의 칩 스케일 패키지 제조 방법에 따르면, 우선 통상적인 웨이퍼 제조 공정을 통하여 웨이퍼 기판에 집적회로들이 형성되어 복수개의 집적회로 칩들을 이루는 반도체 웨이퍼가 제공된다. 웨이퍼 기판의 상부면에는 집적회로들과 전기적으로 연결된 칩 패드들과, 집적회로들을 보호하기 위한 절연층이 형성되어 있다.

다음 단계는 칩 패드 위에 금속 배선층을 형성하여 전기적으로 연결하는 단계이다. 금속 배선층은 칩 패드들과 절연층 위에 전면 증착된 금속층이 소정의 패턴으로 식각됨으로써 얻어진다. 금속 배선층은 통상적인 웨이퍼의 금속층보다 두께는 1.5 $\mu$ m의 두께를 가진다.

금속 배선층의 형성 단계에 이어 금속 배선층과 절연층 위에 소정의 두께를 가지는 절연층을 입힌다. 그리고 절연층의 일부를 제거함으로써 금속 배선층의 일부가 외부로 드러난 물 패드를 형성한다. 물 패드는 금속 배선층의 패턴을 통하여 칩 패드의 위치와 다르게 형성될 수 있다. 즉, 패드들의 위치가 재배열된다. 본 발명의 바람직한 실시예에 의하면, 칩 패드들은 각각의 집적회로 칩의 가장자리에 열을 지어 형성되고, 물 패드들은 각각의 집적회로 칩의 중앙 쪽에 격자형으로 배치된다.

절연층은 유기 절연층, 무기 절연층, 유기 절연층과 무기 절연층의 연속층 중의 어느 하나이며, 유기 절연층으로는 벤조 사이클로 부텐(benzo cyclo butene; BCB)이 바람직하게 사용되며, 그 밖에 폴리이미드(polyimide)나 에폭시(epoxy) 같은 폴리머가 사용될 수 있다. 무기 절연층으로는 산화막, 질화막, 산화막과 질화막 중의 어느 하나가 사용될 수 있다. 이 때, 절연층의 두께는 2-50 $\mu$ m가 바람직하다.

절연층을 형성하고 나면, 물 패드에 솔더 풀을 형성하여 금속 배선층과 전기적으로 연결되도록 한 후, 칩 절단영역을 따라 웨이퍼를 절단하여 칩들을 분리함으로써 개별 칩 스케일 패키지들을 얻는다.

본 발명의 바람직한 실시예에서는 금속 배선층 형성 단계 이전에 하부 절연층이 더 형성되며, 금속 배선층 상부의 절연층과 동일한 물질, 유사한 두께로 형성한다. 금속 배선층이나 솔더 풀을 형성하기 전에 접착층, 확산 장벽층, 도금 기초층으로 이용되는 금속 기저층을 미리 형성할 수 있으며, 솔더 풀은 도금 방법, 스텝 솔더링 방법, 풀 배치 방법, 메탈젯 방법 등에 의한 리플로우 방법으로 형성한다.

또한, 솔더 풀을 형성한 후에 솔더 풀을 지지하기 위한 덮개층을 더 형성할 수 있다. 덮개층은 절연층 위에 역상의 폴리머를 포팅하여 형성된다. 한편, 덮개층을 형성하기 전에 침수상을 방지하기 위한 방지막이나 방지층을 더 형성할 수 있다. 침수상 방지막은 칩 절단영역의 상부에, 침수상 방지층은 웨이퍼의 말단에, 역상의 폴리머를 인가하여 형성할 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

잘 알려져 있는 바와 같이, 통상적인 웨이퍼 제조 공정을 통하여 반도체 웨이퍼(semiconductor wafer)가 제조되면 웨이퍼로부터 개별 칩을 분리하여 패키지 조립 공정을 거치게 된다. 패키지 조립 공정은 웨이퍼 제조 공정과는 다른 설비와 원부자재를 필요로 하는 전혀 별개의 공정이다. 그러나, 본 발명은 웨이퍼 수준에서, 즉 웨이퍼로부터 개별 칩을 분리하지 않는 상태에서, 완전한 제품으로서의 패키지를 제조할 수 있다. 그리고 패키지를 제조하는데 사용되는 제조 설비나 제조 공정에 기존 웨이퍼 제조 설비, 공정을 이용할 수 있다. 이는 패키지를 제조하기 위하여 추가로 소요되는 원부자재를 최소화할 수 있음을 의미하기도 한다. 이와 같은 이유를 때문에, 본 발명에 의하여 제공되는 패키지 제조 방법은 제조 단가의 절감을 실현할 수 있는 것이다.

도 1 내지 도 13은 본 발명에 따른 칩 스케일 패키지 제조 방법의 제1 실시예에 대한 각 공정들을 나타낸 단면도이며, 도 14는 본 발명에 따른 칩 스케일 패키지 제조에 사용되는 반도체 웨이퍼의 개략적인 평면도이다. 특히, 도 13은 제1 실시예에 따라 제조 완료된 패키지들 보여주는 단면도이고, 도 15는

웨이퍼로부터 분리된 개별 패키지를 개략적으로 도시한 평면도이다.

실리콘과 같은 웨이퍼 기판(wafer substrate)에는 일반적인 웨이퍼 제조 공정을 통해 소정의 집적회로들이 형성된다. 웨이퍼 기판에 집적된 회로들이 복수개의 반도체 칩을 구성하고, 이웃하는 칩들 사이에 회로들이 형성되지 않은 영역이 칩 절단영역(scribe line)이라는 것을 잘 알려져 있는 사실이다. 그리고, 칩을 이루는 집적회로가 본 발명을 이해하는데 반드시 필요한 것은 아니다. 따라서, 집적회로는 본 명세서 및 도면에 개시하지 않는다.

도 1에 도시된 바와 같이, 반도체 웨이퍼(40)의 기판(10) 상부면에는 집적회로(도시되지 않음)와 전기적으로 연결된 칩 패드(12; chip pad)가 형성된다. 또한 불활성층(14; passivation layer)이 웨이퍼 기판(10) 상부면과 칩 패드(12) 가장자리를 뒤덮고 있어서, 웨이퍼 기판(10) 내부의 집적회로들이 외부 환경으로부터 보호된다. 칩 패드(12)는 보통 알루미늄으로 되어 있으며, 불활성층(14)은 산화막 또는 질화막이다.

도 14에는 반도체 웨이퍼(40)의 개략적인 모습이 나타나 있다. 도 14에 나타난 바와 같이, 복수개의 반도체 칩(50)들이 하나의 웨이퍼(40)를 구성하고 있으며, 도 1부터 도 13까지의 도면은 그 중의 극히 일부를 나타낸 것에 불과하다. 다음 실시예에 대한 참조 도면인 도 16 내지 도 24의 경우도 마찬가지이다. 개별 칩의 개략적인 모습은 도 15에 도시하였다. 도 15에서 볼 수 있듯이, 칩 패드(12)들은 칩(50)의 가장자리에 돌출 지어 형성된다. 그러나 칩 패드(12)의 위치가 반드시 칩의 가장자리에 한정되는 것은 아니다.

웨이퍼가 본 실시예의 제조 공정에 제공되면, 금속층을 웨이퍼 전면에 증착한다. 금속층(16)은 도 20에서와 같이 칩 패드(12)와 불활성층(14)을 모두 덮게 된다. 따라서 금속층(16)은 칩 패드(12)와 전기적으로 연결된다. 이 때 금속층(16)의 두께는 웨이퍼의 집적회로를 구성하는 통상적인 금속층보다 두꺼우며, 바람직하게는 1 $\mu$ m 내지 5 $\mu$ m이다. 구리(Cu), 알루미늄(Al), 아연(Zn), 철(Fe), 백금(Pt), 코발트(Co), 납(Pb), 니켈(Ni), 또는 그 합금들이 금속층(16)의 재료로 사용될 수 있다.

금속층(16)을 베이스로 사용하기 위해서는 소정의 패턴으로 식각하여야 한다. 따라서, 금속층(16) 위에 감광막(photoresist)을 입히고 도 30에 도시된 바와 같이 소정의 감광막(18) 패턴을 형성하는 통상의 사진 공정을 진행한 후, 금속층(16)을 식각한다. 도 4는 식각에 의하여 형성된 금속층, 즉 금속 베이스층(17)의 패턴을 보여주고 있다. 금속 베이스층(17)이 형성되고 나면, 도 5에서처럼 감광막을 제거한다. 금속 베이스층(17)의 패턴은 어떻게 패드를 재배열할 것인가에 따라 임의로 형성할 수 있다.

감광막이 제거된 후에는 웨이퍼 전면에 절연층(dielectric layer)을 입힌다. 따라서, 도 6에 도시된 바와 같이, 절연층(24)은 금속 베이스층(17)과 앞서 형성된 불활성층(14)을 모두 덮게 된다. 절연층(24)은 칩에 가해지는 충격을 완화시켜 칩을 보호할 뿐만 아니라, 일반적으로 사용되는 베이스기판의 역할을 대신할 수 있다. 또한, 본 발명의 절연층(24)은 솔더 볼(solder ball)을 채움하는 패키지의 공통적인 문제점인 솔더 정향 내구수명 저하의 문제를 개선시킨다. 따라서, 절연층(24)으로는 흡습에 대한 저항성이 우수하며, 높은 열안정성, 고온에서의 안정성, 낮은 수축률 등의 특성을 가지는 물리적, 화학적 성질이 우수한 유기 물질이나 무기 물질을 사용해야 한다.

본 발명에서는 유기물의 벤조 사이클로 부텐(benzo cyclo butene; BCB)이 흡습을 낮고 팽창에 유리할 뿐만 아니라, 유전상수가 작고 경화온도가 낮기 때문에 바람직하게 사용될 수 있다. 그러나, 폴리이미드(polyimide) 또는 에폭시(epoxy)와 같은 폴리머(polymer)들이 유기 절연층으로 사용될 수 있으며, 산화막과 질화막이 단독으로 또는 함께 무기 절연층으로 사용될 수 있다. 절연층(24)의 두께는 2 $\mu$ m 내지 50 $\mu$ m가 바람직하며, 그 범위 내에서 적절하게 선택할 수 있다. 절연층(24)으로 유기물을 사용할 경우 통상적인 스핀 코팅(spin coating) 방법에 의해 형성되며, 무기물을 사용할 경우 화학기상증착(chemical vapor deposition; CVD) 등의 통상적인 방법에 의해 형성된다.

한편, 절연층(24)의 특정 부분, 즉 솔더 볼(뒤에서 설명될)이 형성될 원하는 부분은 도 7에 도시된 것처럼 사진 공정에 의해 제거한다. 이렇게 절연층(24)이 제거된 부분을 용하여 밖으로 드러난 금속 베이스층을 볼 패드(ball pad)라 한다. 볼 패드(ball pad)는 금속 베이스층(17)을 통하여 칩 패드(12)와 연결되기 때문에, 볼 패드(ball pad)의 위치는 칩 패드(12)의 위치와 얼마든지 다르게 형성할 수 있다. 즉, 패드들의 위치가 재배열된다. 예를 들어, 도 15에서와 같이, 칩 가장자리에 형성된 칩 패드(12)들과 달리, 볼 패드(ball pad)들은 칩(50)의 중앙 측에 격자형으로 배치할 수 있다.

절연층(24)을 형성하고 나면, 도 8에 도시된 바와 같이, 금속 기저층(26; under bump metal; UBM)을 전면 증착한다. 이 금속 기저층(26)은 접착층, 확산 장벽층, 도금 기초층의 역할을 하는 것으로서, 티타늄/구리(Ti/Cu), 티타늄/티타늄-구리/구리(Ti/Ti-Cu/Cu), 크롬/크롬-구리/구리(Cr/Cr-Cu/Cu), 티타늄/스텐/구리(Ti/Cu), 알루미늄/니켈/구리(Al/Ni/Cu), 알루미늄/니켈/바나듐/구리(Al/NiV/Cu) 등으로 이루어진 층이다. 특히, 티타늄/티타늄-구리/구리(Ti/Ti-Cu/Cu)와 크롬/크롬-구리/구리(Cr/Cr-Cu/Cu)의 경우, 중간층인 티타늄-구리(Ti-Cu)층과 크롬-구리(Cr-Cu)층은 2개의 타겟을 이용하여 동시에 스퍼터링하는 동시-스퍼터링(co-sputtering) 방법을 이용하여 형성한다. 앞서 설명하지는 않았지만, 웨이퍼 전면에 금속층(도 2의 16)을 증착하기 전에도 이와 같은 금속 기저층을 미리 형성할 수 있다.

금속 기저층(26) 위에는 다시 도 9에 도시된 바와 같이 감광막(28) 패턴을 형성하고, 도 10에 도시된 바와 같이 솔더 범프(solder bump)를 형성한다. 따라서, 솔더 범프(solder bump)는 전술한 볼 패드(ball pad)를 통하여 금속 베이스층(17)과 전기적으로 연결된다. 이 때의 솔더 범프(solder bump)는 감광막(28)을 이용하여 도금 방법으로 형성한 것이지만, 스텐실 프린팅(stencil printing), 볼 배치(ball placement), 메탈젯(metaljet) 방법에도 형성될 수 있다. 스텐실 프린팅 방법은 마스크(mask)를 사용하여 솔더 패이스트(solder paste)를 인쇄하는 방법이고, 볼 배치 방법은 바로 볼 형태의 솔더를 올려놓는 방법이며, 메탈젯 방법은 용융된 액상의 솔더를 직접 뿌리는 방법이다.

솔더 범프(solder bump)를 형성하고 나면 감광막을 제거하고 금속 기저층을 식각한다. 따라서, 금속 기저층(27)은 도 11에 도시된 바와 같이 솔더 범프(solder bump)가 형성된 부분에만 남게 된다. 계속해서 솔더 범프(solder bump)를 리플로우(reflow)하면, 도 12와 같이 에너지적으로 안정된 형태의 솔더 볼(solder ball)이 얻어진다.

다. 슬더 볼(32)의 높이는 볼 패드(22)로부터 대략 300 $\mu$ m에 이른다. 한편, 도면에 도시하지는 않았지만, 슬더 볼프를 형성하기 전에 수 $\mu$ m 내지 수십 $\mu$ m 높이의 구리층을 볼 패드 상의 금속 기저층에 더 형성할 수도 있다. 이 구리층은 추후 슬더 접합과 같은 고온 공정을 거치면서 금속 기저층과 슬더 볼이 서로 반응하여 일체를 이룰 수 있는 산화성 불량을 방지하기 위한 것이다.

슬더 볼(32) 형성 이후에도 도 13에 도시된 바와 같이 덮개층(34; cover layer)을 더 형성할 수 있다. 덮개층(34)은 절연층(24) 위에 예폭시 수지와 같은 액상 폴리머를 포팅(potting)함으로써 형성될 수 있다. 이 때 덮개층(34)으로 사용되는 폴리머는 점도가 낮고 복원력과 탄성력이 우수한 물질이 바람직하다. 덮개층(34)은 슬더 볼(32)의 측면을 지지하기 때문에, 슬더 접합의 내구수명을 향상시키는데 기여할 수 있다.

지금까지 설명한 단계들을 따라 웨이퍼 상태에서 패키지 제조가 완료되면, 칩 절단영역(도 14의 52)을 따라 반도체 웨이퍼를 절단하여 칩들을 분리하게 된다. 따라서 완성된 개별 패키지가 웨이퍼로부터 분리된다. 이 웨이퍼 절단 공정은 통상적인 웨이퍼 절단 방식을 이용할 수 있다. 패키지 제조 완료 후, 웨이퍼로부터 분리된 개별 패키지(90)가 도 15에 개략적으로 도시되어 있다. 도 15는 금속 배선층(17)을 통한 패드들(12, 22)의 위치 재배열을 부각시키기 위하여 나머지 구성요소들의 도시를 생략하였다.

이상 설명한 실시예와 달리, 패드 재배열을 위한 금속 배선층의 상하부에 2개의 절연층을 형성하여 칩 스케일 패키지를 구현할 수도 있다. 앞서 설명했듯이, 절연층은 칩에 가해지는 충격을 완화시켜 칩을 보호하고, 일반적으로 사용되는 배선기판의 역할을 대신한다. 따라서, 이와 같은 기능을 보다 확실하게 보장하기 위해서는, 전 실시예와 달리 금속 배선층의 하부에도 절연층이 존재하는 것이 바람직할 수 있다. 한편, 웨이퍼로부터 분리된 개별 패키지를 취급하면서 발생할 수 있는 패키지 손상 등의 문제를 방지하기 위하여, 패키지 제조 공정에 몇가지 단계들을 더 추가할 수도 있다. 이하, 본 발명의 두번째 실시예에 대하여 설명한다.

도 16 내지 도 24는 본 발명에 따른 칩 스케일 패키지 제조 방법의 제2 실시예에 대한 각 공정들을 나타내는 단면도들이다. 본 실시예의 제조 방법은 전 실시예와 마찬가지로 웨이퍼 기판(10)에 칩 패드(12)와 불활성층(14)이 형성된 통상적인 반도체 웨이퍼의 공급 단계로부터 시작된다. 그리고, 도 16에 도시된 바와 같이, 현상층(14) 위에 절연층(60)을 형성한다. 이 절연층(60)은 전술한 실시예와 같이 벤조 사이클로 부텐(benzocyclobutene; BCB)이 바람직하게 사용되며, 그 밖에도 폴리이미드(polyimide) 또는 에폭시(epoxy) 같은 폴리머(polymer)나, 산화막, 질화막이 사용된다. 절연층(60)의 두께는 2 $\mu$ m 내지 50 $\mu$ m이며, 칩 패드(12)는 절연층(60)을 통하여 외부로 노출된다.

절연층(60)과 칩 패드(12) 위에는 도 17에서처럼 금속 기저층(62)을 증착시킨다. 이 금속 기저층(62)은 앞서 설명한 바와 같이 절착층, 확산 장벽층, 도금 기초층을 포함한다. 금속 기저층(62)을 증착하고 나면 패드 재배열을 위한 금속 배선층을 형성하게 되는데, 앞서의 실시예와는 달리, 미리 감광막 패턴을 형성한 후 금속층을 증착한다. 도 18은 감광막(64) 패턴이 형성된 모습을 보여주고 있으며, 도 19는 감광막(64) 패턴 사이로 드러난 금속 기저층(62) 위에 형성된 금속 배선층(66)을 보여주고 있다. 따라서, 금속 배선층(66)은 칩 패드(12)와 전기적으로 연결된다. 금속 배선층(66)은 구리(Cu), 알루미늄(Al), 아연(Zn), 철(Fe), 백금(Pt), 코발트(Co), 납(Pb), 니켈(Ni), 또는 그 합금들을 사용할 수 있으며, 금속 기저층(62)은 티타늄/구리(Ti/Cu), 티타늄/티타늄-구리/구리(Ti/Ti-Cu/Cu), 크롬/크롬-구리/구리(Cr/Cr-Cu/Cu), 티타늄/티타늄-구리(Ti/Ti-Cu/Cu), 알루미늄/니켈/알루미늄-구리(Al/Ni/Al-Cu) 등을 사용할 수 있다.

금속 배선층(66)이 형성되면 감광막(64)을 제거하고 금속 기저층(62)을 식각한다. 따라서, 도 20에 도시된 바와 같이, 금속 배선층(66) 하부에만 금속 기저층(63)이 남게 된다. 금속 배선층(66) 상부에는, 도 21과 같이, 다시 절연층(68)을 도포하고 볼 패드(70)를 형성한다. 이 금속 배선층(66) 상부의 절연층(68)은 하부 절연층(60)과 동일한 물질, 비슷한 두께로 형성할 수 있다. 또한, 각각의 절연층(60, 68)에 유기 절연층과 무기 절연층을 혼합하여 형성할 수도 있다. 예를 들어, 벤조 사이클로 부텐과 산화막/질화막, 폴리이미드와 산화막 등이 연속층을 이룰 수 있다. 즉, 결과적으로는 4개의 절연층이 연속하여 형성되는 셈이 된다.

상부 절연층(68)을 통하여 금속 배선층(66)이 외부로 드러나도록 볼 패드(70)를 형성한 후에는, 다음과 같은 일련의 공정들이 이어진다. 즉, 볼 패드에 금속 기저층을 증착한 후 슬더 볼프를 형성하고, 다시 금속 기저층을 식각한 후 슬더 볼프를 리플로우하여 슬더 볼을 형성하여, 마지막에 덮개층을 형성한다. 이 일련의 과정들은 전술한 제1 실시예의 경우와 동일하므로, 본 실시예에서는 설명을 생략하였다. 도 22는 본 실시예에 따라 제조가 완료된 칩 스케일 패키지의 구조를 보여주고 있다. 도 22에서 도면 번호 72는 금속 기저층, 74는 슬더 볼, 76은 덮개층을 나타낸다.

그런데, 패키지 제조가 완료되어 웨이퍼로부터 분리된 개별 패키지는 그 취급 과정에서 손상되는 경우가 있다. 도 25를 참조하자면, 특히 외부 충격에 취약한 패키지 모서리 부분들(92, 94)이 손상될 우려가 크다. 따라서, 이와 같은 문제점을 미연에 방지하기 위하여, 다음과 같은 단계들을 본 발명의 제조 공정에 더 추가할 수 있다.

먼저 패키지 상부 쪽의 모서리 부분(92)을 보호하기 위하여, 도 23에 도시된 바와 같이 칩 절단영역(52)에 칩손상 방지턱(90; buffer border)을 만든다. 이 칩손상 방지턱(90)은 슬더 볼 형성 단계 이전에 만들거나 슬더 볼 형성 후 덮개층 형성 전에 만들며, 예폭시 수지와 같은 폴리머를 칩 절단영역(52)을 따라 스텝 프린팅하여 형성한다. 칩손상 방지턱(90)은 칩 절단영역(52)보다 다소 넓게 형성되기 때문에, 웨이퍼로부터 분리된 개별 패키지(100)에서는 도 24에 도시된 바와 같이 패키지(100)의 상부 모서리에 위치하게 된다.

한편, 패키지 하부 쪽의 모서리 부분(94)을 보호하기 위해서는, 웨이퍼 밑면에 예폭시와 같은 폴리머를 칩면 도포하여 칩손상 방지층(82; buffer layer)을 만든다. 이 칩손상 방지층(82)은 본 발명의 제조 공정 이전인 웨이퍼 공급 단계에서 만들어질 수 있다. 칩손상 방지턱(90)과 마찬가지로 예폭시 수지와 같은 폴리머가 사용되며, 웨이퍼를 뒤집은 상태에서 웨이퍼 밑면에 약 2-50 $\mu$ m 두께로 스텝 코팅한다.

이 과정에서 웨이퍼 뒷면에는 집적회로들을 보호하기 위한 보호 테이프(도시되지 않음)가 임시로 집착되었다가 제거된다.

#### 특정의 효과

이상 설명한 바와 같이, 본 발명의 칩 스케일 패키지 제조 방법은 기존의 웨이퍼 제조 설비와 공정들을 이용하여 웨이퍼 상태에서 패키지 제조를 마칠 수 있다. 따라서, 패키지를 제조하기 위하여 추가로 소요되는 원부자재를 최소화할 수 있으며, 패키지의 제조 단가를 절감할 수 있다.

또한, 본 발명의 칩 스케일 패키지 제조 방법은 벤조 사이클로 부텐, 폴리이미드, 에폭시와 같이 물리적, 화학적 성질이 우수한 유기 절연물질이나, 산화막, 질화막 등을 웨이퍼 위에 직접 형성하여 절연층을 만들 때, 별도로 배선기판을 제조하여 사용할 필요가 없으며, 외부로부터 가해지는 충격으로부터 효과적으로 칩을 보호할 수 있다. 아울러, 절연층은 최상층에 형성되는 덮개층과 더불어 온도 접합의 내구성을 향상시키는데 기여한다.

한편, 패키지의 외부 전속단자인 솔더 볼은, 칩 패드와 몰 패드를 연결해 주는 금속 배선층을 어떤 패턴으로 형성하느냐에 따라, 칩 패드의 위치와 거의 무관하게 형성할 수 있다. 이는 칩 크기의 축소에 대해 탄력적으로 대응할 수 있는 이점이 있다.

그리고, 칩소장 방지수단들을 웨이퍼 상태에서 형성해 줄으로써, 후속 개별 패키지로 분리된 후 취급 시에 발생할 수 있는 패키지 모서리 손상 등의 문제를 미연에 방지할 수 있다.

본 명세서와 도면에 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 일반적인 의미에서 사용되었으며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이다. 본 발명의 범위는 다음의 특허청구범위에 나타난다.

#### (57) 청구의 범위

**청구항 1.** (a) 웨이퍼 제조 공정을 통하여 웨이퍼 기판에 집적회로들이 형성되고, 상기 집적회로들과 전기적으로 연결된 칩 패드들과 상기 집적회로들을 보호하기 위한 불활성층이 상기 웨이퍼 기판의 상부면에 형성되어, 복수개의 집적회로 칩들과 상기 집적회로 칩들 사이의 칩 절단영역을 이루는 반도체 웨이퍼를 제공하는 단계;

(b) 상기 칩 패드들과 상기 불활성층 위에 상기 칩 패드들과 전기적으로 연결되고 소정의 패턴을 이루는 금속 배선층을 형성하는 단계;

(c) 상기 금속 배선층과 상기 불활성층 위에 소정의 두께를 가지는 절연층을 압인 후, 상기 금속 배선층의 일부가 외부로 드러나도록 상기 절연층의 일부를 제거하여 몰 패드를 만드는 절연층의 형성 단계;

(d) 상기 몰 패드에 솔더 볼을 형성하여 상기 금속 배선층과 전기적으로 연결되도록 하는 단계; 및

(e) 상기 칩 절단영역을 따라 상기 반도체 웨이퍼를 절단하여 각각의 집적회로 칩들을 분리함으로써 개별 칩 스케일 패키지를 얻는 단계;

를 포함하며, 상기 몰 패드들은 상기 금속 배선층의 패턴을 통하여 상기 칩 패드들의 위치와 다르게 배열되며, 상기 절연층은 유기 절연층, 무기 절연층, 유기 절연층과 무기 절연층의 연속층 중의 어느 하나인 것을 특징으로 하는 웨이퍼 상태에서의 칩 스케일 패키지의 제조 방법.

**청구항 2.** 제 1 항에 있어서, 상기 몰 패드는 각각의 집적회로 칩의 중앙 쪽에 격자형으로 배치되는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

**청구항 3.** 제 2 항에 있어서, 상기 칩 패드들은 각각의 집적회로 칩의 가장자리에 열을 지어 형성되는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

**청구항 4.** 제 1 항에 있어서, 상기 절연층의 두께는 2-50 $\mu$ m인 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

**청구항 5.** 제 1 항에 있어서, 상기 절연층을 이루는 유기 절연층은 벤조 사이클로 부텐(benzo cyclo butene)으로 형성되는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

**청구항 6.** 제 1 항에 있어서, 상기 절연층을 이루는 무기 절연층은 폴리이미드(polyimide) 또는 에폭시(epoxy)와 같은 절연체로 형성되는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

**청구항 7.** 제 1 항에 있어서, 상기 절연층을 이루는 무기 절연층은 산화막, 질화막, 산화막과 질화막 중의 어느 하나인 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

**청구항 8.** 제 1 항에 있어서, 상기 (b)의 금속 배선층 형성 단계 이전에, 상기 불활성층 위에 소정의 두께를 가지는 하부 절연층을 형성하는 단계를 더 포함하며, 상기 하부 절연층은 유기 절연층, 무기 절연층, 유기 절연층과 무기 절연층의 연속층 중의 어느 하나이고, 상기 (b) 단계의 금속 배선층은 상기 하부 절연층 위에 형성하는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

**청구항 9.** 제 8 항에 있어서, 상기 하부 절연층의 두께는 2-50 $\mu$ m인 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

**청구항 10.** 제 8 항에 있어서, 상기 하부 절연층을 이루는 유기 절연층은 벤조 사이클로 부텐(benzo cyclo butene)으로 형성되는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.



청구항 11. 제 8 항에 있어서, 상기 하부 절연층을 이루는 유기 절연층은 폴리이미드(polyimide) 또는 에폭시(epoxy)와 같은 폴리머로 형성되는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

청구항 12. 제 8 항에 있어서, 상기 하부 절연층을 이루는 유기 절연층은 산화막, 질화막, 산화막과 질화막 중의 어느 하나인 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

청구항 13. 제 1 항에 있어서, 상기 금속 배선층은 구리(Cu), 알루미늄(Al), 마그네슘(Mg), 철(Fe), 백금(Pt), 코발트(Co), 납(Pb), 니켈(Ni), 또는 그 합금을 중의 어느 하나로 이루어지며, 1-5 $\mu$ m의 두께를 가지는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

청구항 14. 제 1 항에 있어서, 상기 (b)의 금속 배선층 형성 단계 이전에, 상기 금속 배선층의 절착을, 확산 장벽층, 도금 기초층으로 이용될 금속 기저층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

청구항 15. 제 14 항에 있어서, 상기 금속 기저층을 형성하는 금속은 티타늄/구리(Ti/Cu), 티타늄/티타늄-구리/구리(Ti/Ti-Cu/Cu), 크롬/크롬-구리/구리(Cr/Cr-Cu/Cu), 티타늄/티타늄-구리/구리(Ti/Ti-Cu/Cu), 알루미늄/니켈/구리(Al/Ni/Cu), 알루미늄/니켈바나듐/구리(Al/NiV/Cu) 중의 어느 하나인 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

청구항 16. 제 1 항에 있어서, 상기 (d)의 솔더 볼 형성 단계 이전에, 상기 솔더 볼의 전착층, 확산 장벽층, 도금 기초층으로 이용될 금속 기저층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

청구항 17. 제 16 항에 있어서, 상기 금속 기저층을 형성하는 금속은 티타늄/구리(Ti/Cu), 티타늄/티타늄-구리/구리(Ti/Ti-Cu/Cu), 크롬/크롬-구리/구리(Cr/Cr-Cu/Cu), 티타늄/티타늄-구리/구리(Ti/Ti-Cu/Cu), 알루미늄/니켈/구리(Al/Ni/Cu), 알루미늄/니켈바나듐/구리(Al/NiV/Cu) 중의 어느 하나인 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

청구항 18. 제 1 항에 있어서, 상기 솔더 볼은 도금 방법, 스펀싱 프라이밍 방법, 볼 배치 방법, 메탈 컷 방법 중의 어느 한 방법에 의한 리플로우 방법에 의하여 형성되는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

청구항 19. 제 1 항에 있어서, 상기 (d)의 솔더 볼 형성 단계 이후에, 상기 솔더 볼을 지지하기 위한 덮개층을 상기 절연층 위에 형성하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

청구항 20. 제 19 항에 있어서, 상기 덮개층은 액상의 폴리머를 포팅하여 형성되는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

청구항 21. 제 19 항에 있어서, 상기 덮개층 형성 단계 이전에, 상기 칩 절단영역의 상부를 따라 칩 손상 방지턱을 형성하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

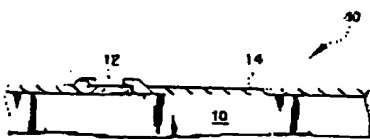
청구항 22. 제 21 항에 있어서, 상기 칩 손상 방지턱은 액상의 폴리머가 상기 칩 절단영역의 폭보다 넓은 폭을 가지도록 인가되어 형성되는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

청구항 23. 제 1 항에 있어서, 상기 (a)의 웨이퍼 제공 단계 이후에, 상기 웨이퍼의 밑면에 소정의 두께를 가지는 칩 손상 방지층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

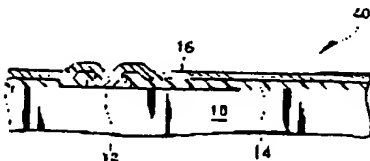
청구항 24. 제 23 항에 있어서, 상기 칩 손상 방지층은 액상의 폴리머가 2-50 $\mu$ m의 두께로 인가되어 형성되는 것을 특징으로 하는 칩 스케일 패키지의 제조 방법.

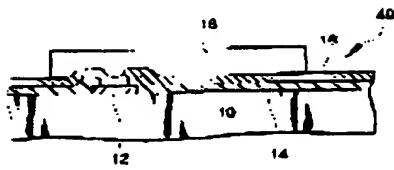
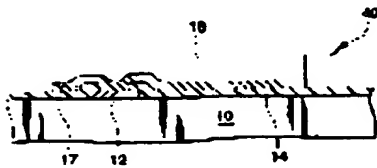
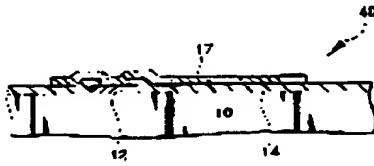
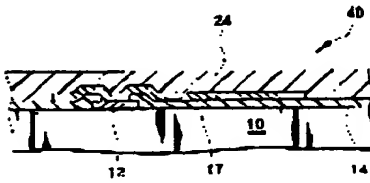
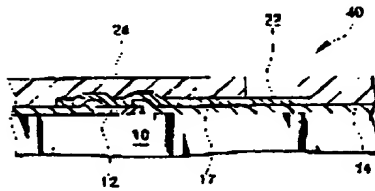
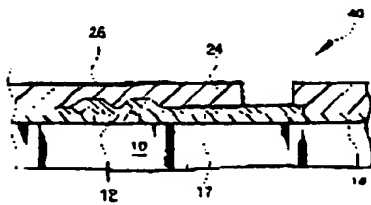
도면

도면1

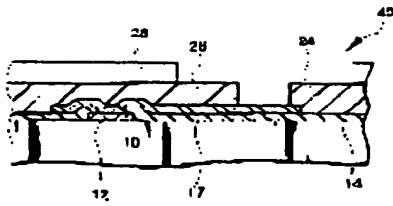


도면2

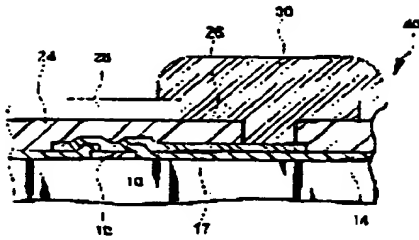


**FIG 3****FIG 4****FIG 5****FIG 6****FIG 7****FIG 8**

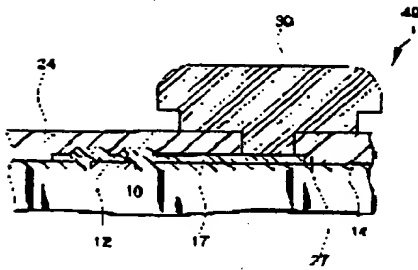
도 9



도 10



도 11



도 12

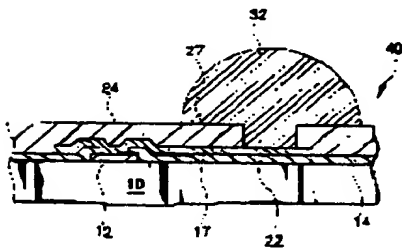


图13

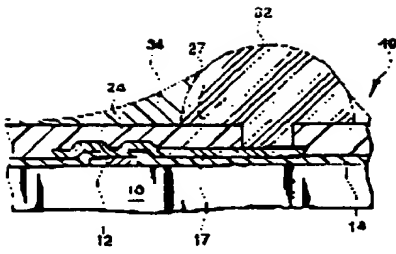


图14

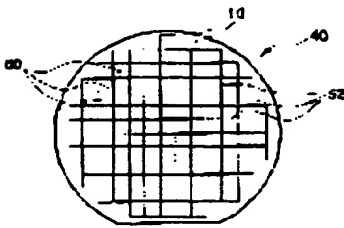


图15

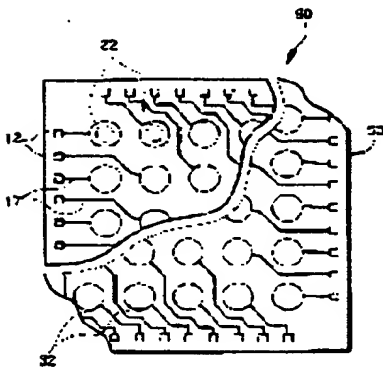
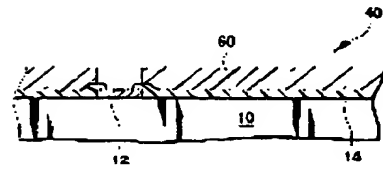
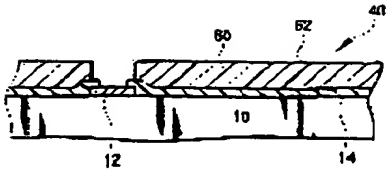


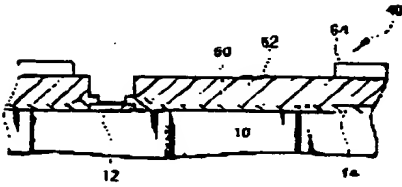
图16



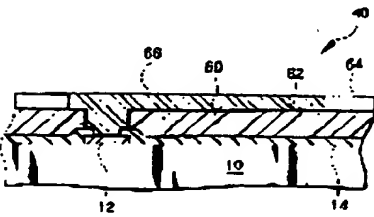
도면17



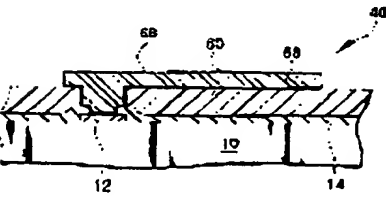
도면18



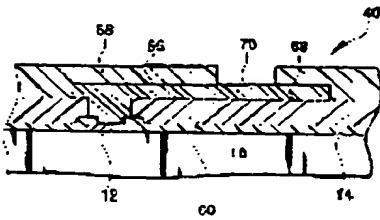
도면19

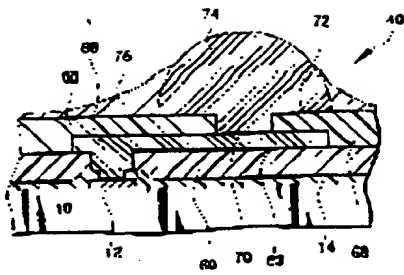
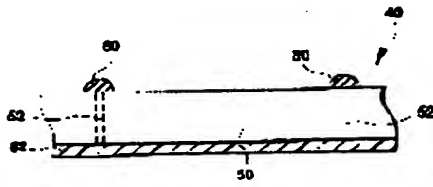
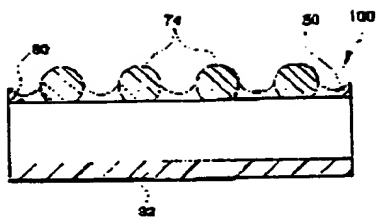


도면20



도면21



**FIG 22****FIG 23****FIG 24****FIG 25**